

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-186954
(43)Date of publication of application : 14.08.1991

G06F 12/16

(51)Int. Cl.

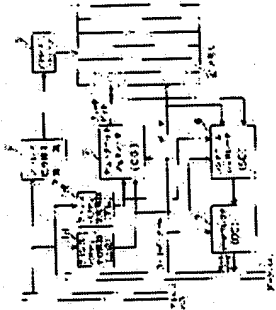
(21)Application number : 01-326676
(22)Date of filing : 15.12.1989

(71)Applicant : FUJITSU LTD
(72)Inventor : KANEKO TADASHI
YAMAZAKI NOBORU

(54) ADDRESS ERROR DETECTION SYSTEM

(57)Abstract:

PURPOSE: To detect an address error owing to a fault after an address switching circuit at the time of reading by generating a check bit from an address parity bit and data which are generated for respective addresses that are time-divided at the time of writing and writing them with data into a memory.
CONSTITUTION: At the time of writing, address parity generation circuits 1-1 and 1-2 generate the address parity bits for respective addresses which are time-divided and a check bit generator 2 generates the check bit from data and the address parity bits and writes data and the check bits into the memory 3. At the time of reading, a syndrome generator 6 generates a syndrome code from data and the check bits, both of which are read from the memory 3, and the address parity bits for respective addresses for time division, which are to be read, and detects the address error. Thus, the address error owing to the fault after the address switching circuit 4 is detected.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

⑫ 公開特許公報(A) 平3-186954

⑤Int. Cl.⁵
G 06 F 12/16識別記号 庁内整理番号
3 2 0 C 7737-5B

⑬公開 平成3年(1991)8月14日

審査請求 未請求 請求項の数 1 (全6頁)

⑭発明の名称 アドレスエラー検出方式

⑯特 願 平1-326676

⑰出 願 平1(1989)12月15日

⑱発 明 者 金 子 正 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑲発 明 者 山 崎 昇 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑代 理 人 弁理士 岡田 守弘

明 細 書

(概要)

1. 発明の名称

アドレスエラー検出方式

メモリからリードするデータのアドレスエラーを検出するアドレスエラー検出方式に関し、

2. 特許請求の範囲

メモリからリードするデータのアドレスエラーを検出するアドレスエラー検出方式において、

データをメモリにライトするアドレスについて時分割するアドレス毎にアドレスパリティビットを生成し、これら生成したアドレスパリティビットおよびデータからチェックビットを生成して当該データと一緒にメモリにライトし、

リード時に時分割するアドレス毎のアドレスパリティビット、およびメモリからリードしたデータ、チェックビットをもとにアドレスエラーを検出するように構成したことを特徴とするアドレスエラー検出方式。

ライト時に時分割するアドレス毎に生成したアドレスパリティビットおよびデータからチェックビットを生成してデータと一緒にメモリに書き込み、アドレス切替回路以降の故障によるアドレスエラーの検出を可能にすることを目的とし、

データをメモリにライトするアドレスについて時分割するアドレス毎にアドレスパリティビットを生成し、これら生成したアドレスパリティビットおよびデータからチェックビットを生成して当該データと一緒にメモリにライトし、リード時に時分割するアドレス毎のアドレスパリティビット、およびメモリからリードしたデータ、チェックビットをもとにアドレスエラーを検出するように構成する。

(産業上の利用分野)

本発明は、メモリからリードするデータのアド

3. 発明の詳細な説明

レスエラーを検出するアドレスエラー検出方式に関するものである。

(従来の技術と発明が解決しようとする課題)

従来、データをメモリにライトする場合、データ n ビットにアドレスパリティビットを 1 ビット足した $(n+1)$ ビットからチェックビット (m ビット) を生成し、データ n ビットおよびチェックビット (m ビット) を一緒にした $(n+m)$ ビットをライトする。リードする場合、メモリからリードしたデータ n ビットおよびチェックビット (m ビット)、更にリードしようとするアドレスのアドレスパリティビットを 1 ビット足した $(n+m+1)$ ビットからシンドロームコード表を参照してシンドロームコードを生成する。この際、ライトしようとしたアドレスと違うアドレスにデータをライトしたり、リードしようとしたアドレスと違うアドレスからリードしたりした場合、上記生成したシンドロームコードから求めたメモリライト時のアドレスパリティと、メモリリード時

のアドレスパリティとが異なるので、容易にアドレスエラーを検出することができる。

しかし、アドレスを上位アドレスと下位アドレスとに分割して供給してデータをライト/リードする DRAM の場合、上位アドレスおよび下位アドレスに切り替える切替回路以降で故障が発生したときにアドレスパリティエラーを検出し得ないという問題がある。例えば行アドレス X^*00^* が X^*01^* になり、列アドレス X^*00^* が X^*01^* になり、正しいアドレス X^*0000^* 番地の代わりに間違ったアドレス X^*0101^* 番地がリードされてしまっても、アドレスパリティは両者ともに同じであるので、アドレスエラーを検出し得ないという問題がある。

本発明は、ライト時に時分割するアドレス毎に生成したアドレスパリティビットおよびデータからチェックビットを生成してデータと一緒にメモリに書き込み、アドレス切替回路以降の故障によるアドレスエラーの検出を可能にすることを目的としている。

3

(課題を解決する手段)

第 1 図を参照して課題を解決する手段を説明する。

第 1 図において、アドレスパリティ生成回路 1-1、1-2 は、時分割するアドレス毎にアドレスパリティビットを生成するものである。

チェックビットジェネレータ 2 は、データおよびアドレスパリティビットからチェックビットを生成するものである。

メモリ 3 は、アドレスを時分割して供給してデータを書き込むメモリ (例えば DRAM) である。

シンドロームジェネレータ 6 は、メモリ 3 からリードしたデータ、チェックビット、およびリードしようとする時分割するアドレス毎のアドレスパリティビットからシンドロームコード (アドレスエラー検出などを行うコード) を生成するものである。

(作用)

5

本発明は、第 1 図に示すように、ライト時にアドレスパリティ生成回路 1-1、1-2 が時分割するアドレス毎にアドレスパリティビットを生成し、チェックビットジェネレータ 2 がデータおよびこれらアドレスパリティビットからチェックビットを生成し、メモリ 3 にデータおよびこのチェックビットを一緒にライトし、

リード時にシンドロームジェネレータ 6 がメモリ 3 からリードしたデータ、チェックビット、およびリードしようとする時分割するアドレス毎のアドレスパリティビットからシンドロームコードを生成し、アドレスエラーを検出などするようにしている。

従って、ライト時に時分割するアドレス毎に生成したアドレスパリティビットおよびデータからチェックビットを生成してデータと一緒にメモリ (例えば DRAM) 3 に書き込むことにより、アドレス切替回路以降の故障によるアドレスエラーも検出することが可能となる。

6

〔実施例〕

次に、第1図および第2図を用いて本発明の1実施例の構成および動作を順次詳細に説明する。

第1図において、アドレスパリティ生成回路1-1、1-2は、時分割する上位アドレス、下位アドレス毎にアドレスパリティビットを生成するものである。

チェックビットジェネレータ2は、データおよびアドレスパリティビットから第2図(イ)チェックビットコード表を参照してチェックビット(例えば第2図(イ)に示すC1ないしC7からなる7ビットのチェックビット)を生成するものである。

メモリ3は、アドレスを時分割して供給してデータおよびチェックビットを一緒に書き込むメモリ(例えばDRAM)である。

アドレス切り換え回路4は、ライト時ノリード時にCPUなどから通知されたアドレスを上位アドレス(RAS)および下位アドレス(CAS)に分割し、アドレスバッファ5を介してメモリ3

7

スX^{*}01^{*}のアドレスパリティビット^{*}0^{*}

(奇数パリティとする、以下同様)、および下位アドレスX^{*}01^{*}のアドレスパリティビット^{*}0^{*}を生成する。これら生成したアドレスパリティビット^{*}00^{*}と、データX^{*}000000000^{*}とから第2図(イ)チェックビットコード表を参照してチェックビットX^{*}00^{*}を生成し、データX^{*}000000000^{*}およびこのチェックビットX^{*}00^{*}を一緒にメモリ3のX^{*}0101^{*}番地にライトする。尚、第2図(イ)において、チェックビットC1ないしC7は、各チェックビットの行の^{*}1^{*}の立っているデータビットあるいはアドレスパリティビットの部分の値(1あるいは0)を全て取り出し、これら取り出した全ての値について排他的論理和演算を順次行って生成する。

(2) リード時:

アドレスX^{*}0000^{*}(アドレス幅を32ビットとする)をリードする場合、上位アドレスX^{*}00^{*}のアドレスパリティビット^{*}1^{*}

に順次供給するものである。

シンドロームジェネレータ(SG)6は、リード時に、メモリ3からリードしたデータ、チェックビット、およびリードしようとするアドレスの上位アドレスのアドレスパリティビット、下位アドレスのアドレスパリティビットをもとに、第2図(ロ)シンドロームコード表を参照してシンドロームコード(例えば第2図(ロ)シンドロームコードS1ないしS7)を生成するものである。このシンドロームコードからアドレスエラーの検出などを行う。

データコレクタ7は、シンドロームコードをもとにデータ、アドレスパリティビットにエラーがないことを検出したり、1ビットエラーを検出して修復したり、マルチビットエラーを検出したりなどするものである。

次に、第2図を参照して具体例を説明する。

(1) メモリライト時:

アドレスX^{*}0101^{*}(アドレス幅を32ビットとする)にライトする場合、上位アドレ

8

(奇数パリティ)、および下位アドレスX^{*}00^{*}のアドレスパリティビット^{*}1^{*}を生成する。この際、例えば第1図アドレスバッファ5の故障により、上位アドレスX^{*}01^{*}、下位アドレスX^{*}01^{*}がメモリ3に入力され、アドレスX^{*}0101^{*}番地から(1)でライトしたデータX^{*}000000000^{*}およびチェックビットX^{*}00^{*}をリードされる。このリードされたチェックビットX^{*}00^{*}は、上位/下位のアドレスパリティビットがともに^{*}0^{*}のときのチェックビットであるので、これらデータX^{*}000000000^{*}、チェックビットX^{*}00^{*}、およびリード時のアドレスパリティビット^{*}11^{*}を第1図シンドロームジェネレータ6に入力すると、シンドロームコードは第2図(ロ)を参照してX^{*}7E^{*}となり、シンドロームコードが^{*}0^{*}でなく、かついずれの1ビットエラー(ここでは3つのビットが^{*}1^{*}のとき)にも対応しないので、マルチビットエラーとして検出される(ここではアドレスの上位アドレスのパリティビットおよび

下位アドレスのバリティビットの両者のエラーとなる)。

以上のように、ライト時にアドレスを時分割する上位アドレスおよび下位アドレス毎にアドレスバリティビットを生成してこれらアドレスバリティビットおよびデータからチェックビットを生成してデータと一緒にメモリ3に書き込み、リード時に読み出したデータ、チェックビット、およびリードしようとするアドレスの時分割するアドレス毎のアドレスバリティビットをもとにシンドロームコードを生成し、時分割するアドレス毎のアドレスエラーおよびデータのエラーを検出、更に1ビットエラーを自動修復することにより、アドレスを時分割してメモリ3に書き込む場合のアドレス切り換え回路4以降の故障によるアドレスエラーも検出することが可能となる。

第2図(イ)は、チェックビットコード表例を示す。ここで、データ欄の0ないし31はライトしようとするデータの0ビットないし31ビットを表し、データ欄のP1、P2はライトしよう

11

トを表し、C1ないしC7はメモリ3からリードした7ビットのチェックコードを表す。縦方向のS1ないしS7は、シンドロームコードを表す。これら各シンドロームコードS1ないしS7の値は、各行の“1”が立っているデータ、アドレスバリティビット、チェックコードの部分の値(0あるいは1)を全て取り出し、これら取り出した値の排他的論理和演算を順次行った結果である。尚、シンドロームコードS1ないしS7が全て0のときは、エラーなし。また、シンドロームコードS1ないしS7のうちの任意の3ビットが“1”の場合、これら3ビットの“1”が立っているデータ0ないし31、P1、P2のうちの該当するものが1ビットエラーと判明し、自動修復する。これら以外の場合には、2ビット以上のエラー(マルチビットエラー)として検出する。

(発明の効果)

以上説明したように、本発明によれば、ライト時に時分割するアドレス毎に生成したアドレスバ

するアドレスの上位アドレスのアドレスバリティビット、下位アドレスのアドレスバリティビットを表す。C1ないしC7は、7ビットのチェックコードを表す。これら各チェックコードC1ないしC7の値は、各行の“1”が立っているデータあるいはアドレスバリティビットの部分の値(0あるいは1)を全て取り出し、これら取り出した値の排他的論理和演算を順次行った結果である。例えばチェックコードC1を求める場合、(1)行の“1”が立っているデータの4、6、7・・・P1までの13ビットの値を全て取り出す。(2)これら取り出した全ての値について排他的論理和演算を順次行い、その結果をチェックコードC1として求める。

第2図(ロ)は、シンドロームコード表例を示す。ここで、データ欄の0ないし31はメモリ3からリードしたデータの0ビットないし31ビットを表し、データ欄のP1、P2はリードしようとするアドレスの上位アドレスのアドレスバリティビット、下位アドレスのアドレスバリティビッ

12

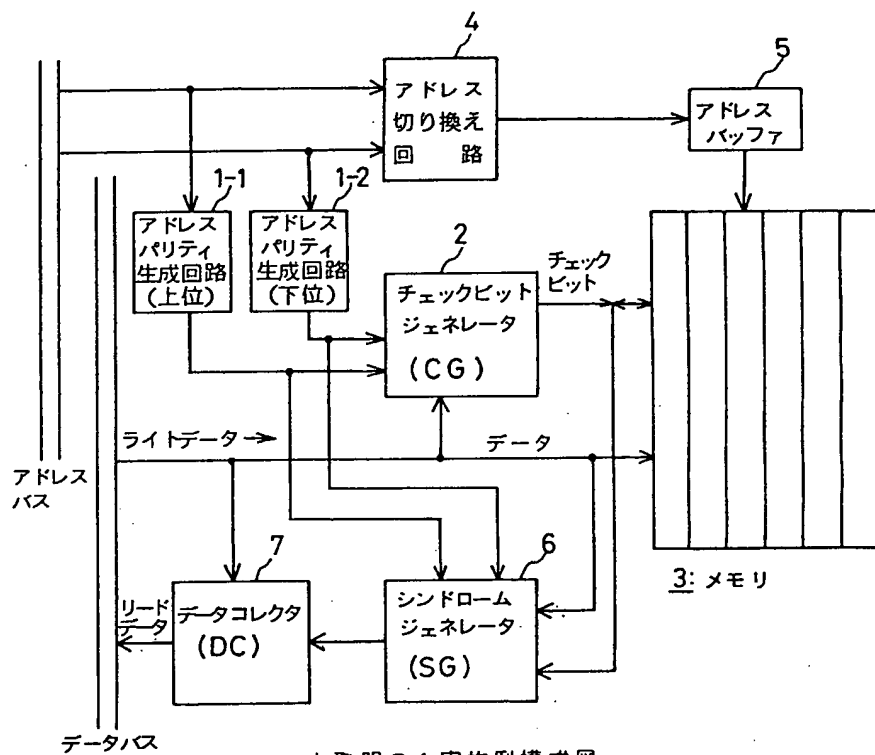
リティビットおよびデータからチェックビットを生成してデータと一緒にメモリ(例えばDRAM)3に書き込む構成を採用しているため、アドレス切替回路以降の故障によるアドレスエラーもリード時に検出することができる。

4. 図面の簡単な説明

第1図は本発明の1実施例構成図、第2図は本発明に係るコード表例を示す。

図中、1-1、1-2はアドレスバリティ生成回路、2はチェックビットジェネレータ、3はメモリ、4はアドレス切り換え回路、5はアドレスバッファ、6はシンドロームジェネレータ、7はデータコレクタを表す。

特許出願人 富士通株式会社
代理人弁理士 岡田 守弘



本発明の1実施例構成図

第 1 図

